

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-224492

(43)公開日 平成11年(1999)8月17日

(51) Int.Cl. ⁶	識別記号
G 1 1 C	16/02
H 0 1 L	27/115
	21/8247
	29/788
	29/792

F I		
G 1 1 C	17/00	6 0 1 T
		6 1 2 F
H 0 1 L	27/10	4 3 4
	29/78	3 7 1

審査請求 未請求 請求項の数18 OL (全 23 頁)

(21) 出願番号	特願平10-311041
(22) 出願日	平成10年(1998)10月30日
(31) 優先権主張番号	特願平9-304421
(32) 優先日	平9(1997)11月6日
(33) 優先権主張国	日本(JP)

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者 作井 康司
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 徳重 芳
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

(72)発明者 今宮 賢一
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

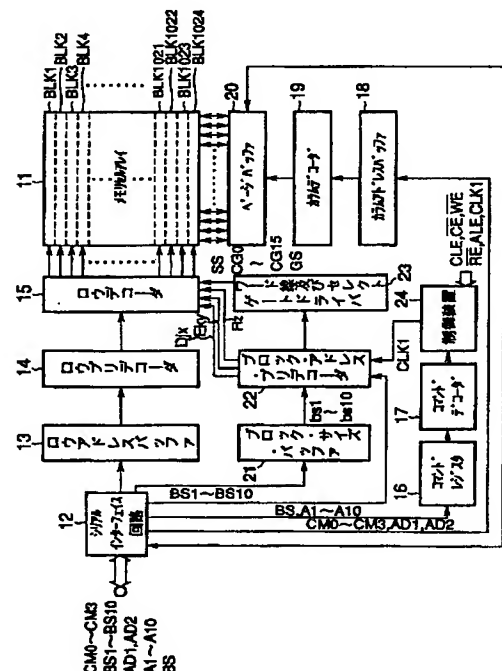
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体記憶装置、不揮発性半導体記憶装置及びフラッシュメモリ

(57) 【要約】

【課題】チップコストの増加やアドレス入力 of 複雑化を招くことなく、消去時間、書き込み時間及びテスト時間等を短縮できる半導体記憶装置を提供する。

【解決手段】電気的に書き換え可能なメモリセルのデータの消去、書き込み及びテスト等の際、ブロック選択手段21、22、23に消去するブロックサイズBS1～BS10と一組のブロックアドレスBS、A1～A10を入力し、ロウデコーダ15を制御して前記ブロックアドレスを先頭アドレスとする複数のアドレスを多重選択することを特徴とする。連続する複数のブロックを同時に選択して複数のブロック内のメモリセルのデータを同時に消去、書き込み及びテストできる。チップの外部からブロックサイズを入力するので自由にブロックサイズを設定できる。また、任意のブロックアドレスを記憶するブロック・アドレス・レジスタを設ける必要がないので、チップサイズを縮小でき、チップコストを低減できる。



1

【特許請求の範囲】

【請求項 1】 メモリセルがマトリックス配列されたメモリセルアレイと、
前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、
前記メモリセルアレイ中の各メモリセルが列毎に接続されたデータ線と、
前記ワード線を選択する行選択手段と、
前記データ線を選択する列選択手段と、
制御データをラッチするラッチ手段を有し、アドレス信号に基づいて相補信号を生成し、前記相補信号の複数の組み合わせで前記メモリセルアレイ中の 1 つのアドレスを指定する内部アドレス信号生成手段と、
外部からの制御により、前記ラッチ手段に選択的に制御データをラッチさせるデータ設定手段と、
前記ラッチ手段にラッチされている制御データに応じて、前記内部アドレス信号生成手段から出力される相補信号を同一論理レベルに設定する内部アドレス信号設定手段とを具備することを特徴とする半導体記憶装置。

【請求項 2】 前記メモリセルは、半導体基板上に形成された電氣的に書き換え可能なメモリセルを含むメモリセルユニットがマトリックス配列されて形成されることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記内部アドレス信号設定手段は、消去モード、書き込みモード及びテストモードの少なくともいずれか 1 つのモード時に、前記相補信号を同一論理レベルに設定することを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 前記内部アドレス信号設定手段は、選択するブロックのサイズと選択開始ブロックを示す信号をラッチし、前記ラッチしたブロックのサイズと選択開始ブロックを示す信号をデコードして、ブロックの多重選択を行うための制御信号を生成し、前記行選択手段に供給することを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 5】 前記内部アドレス信号設定手段は、選択するブロックのサイズを示す信号をラッチするブロック・サイズ・バッファと、前記ブロック・サイズ・バッファの出力信号と選択開始ブロックを示す信号をデコードしてブロックの多重選択を行うための制御信号を生成し、前記行選択手段に供給するブロック・アドレス・ブリデコーダとを含むことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 6】 前記内部アドレス信号設定手段は、選択するブロックのアドレスをラッチするラッチ回路と、前記ラッチ回路のラッチデータに応じて前記内部アドレス信号生成手段から出力される相補信号を同一論理レベルに設定するか否かを決定する論理回路とを含むことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 7】 前記内部アドレス信号設定手段は、前記

2

メモリセルアレイの選択するロウアドレスをラッチするラッチ回路と、前記ラッチ回路のラッチデータに応じて前記内部アドレス信号生成手段から出力される相補信号を同一論理レベルに設定するか否かを決定する論理回路とを含むことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 8】 半導体基板上に形成された電氣的に書き換え可能なメモリセルを含むメモリセルユニットが構成され、このメモリセルユニットがマトリックス配列されたメモリセルアレイと、

前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、
前記メモリセルアレイ中の各メモリセルユニットが列毎に接続されたデータ線と、
前記ワード線を選択する行選択手段と、
前記データ線を選択する列選択手段と、
前記メモリセルアレイが複数に分割されて形成されたブロック毎に前記行選択手段を選択するブロック選択手段と、

前記データ線に接続されたメモリセルへのデータの書き込みを行うためのバッファ回路とを具備し、
前記電氣的に書き換え可能なメモリセルのデータの消去の際、一組のブロックアドレスの入力で指定されたブロックを含む複数のブロックを前記ブロック選択手段により同時に選択し、この選択したブロック内の全てのメモリセルのデータを消去することを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記ブロックアドレスを先頭アドレスとする複数のアドレスの多重選択により、アドレスの連続する複数のブロックを同時に選択することを特徴とする請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 10】 前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記一組のブロックアドレスの入力で選択される複数のブロックの個数は、 n を整数とした場合に 2 の n 乗であることを特徴とする請求項 8 または 9 に記載の不揮発性半導体記憶装置。

【請求項 11】 前記複数のブロックの個数は固定されていることを特徴とする請求項 10 に記載の不揮発性半導体記憶装置。

【請求項 12】 半導体基板上に形成された電氣的に書き換え可能なメモリセルを含むメモリセルユニットが構成され、このメモリセルユニットがマトリックス配列されたメモリセルアレイと、
前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、
前記メモリセルアレイ中の各メモリセルユニットが列毎に接続されたデータ線と、
前記ワード線を選択する行選択手段と、
前記データ線を選択する列選択手段と、

10

20

30

40

50

3

前記メモリセルアレイが複数に分割されて形成されたブロック毎に前記行選択手段を選択するブロック選択手段と、

前記データ線に接続されたメモリセルへのデータの書き込みを行うためのバッファ回路とを具備し、

前記電氣的に書き換え可能なメモリセルのデータの消去の際、消去するブロックサイズ及び一組のブロックアドレスの入力で指定された複数のブロックを前記ブロック選択手段により同時に選択し、この選択したブロック内の全てのメモリセルのデータを消去することを特徴とする不揮発性半導体記憶装置。

【請求項 1 3】 半導体基板上に形成された電氣的に書き換え可能なメモリセルが複数個直列接続されて NAND セル列が構成され、この NAND セル列がマトリクス配列されたメモリセルアレイと、

前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、

前記メモリセルアレイ中の各 NAND セル列が列毎に接続されたビット線と、

前記各 NAND セル列と前記各ビット線との間に設けられ、前記各 NAND セル列を選択するための選択ゲートと、

前記ビット線と交差して配設され、前記各選択ゲートを制御して前記各 NAND セル列を前記ビット線に選択的に接続する選択ゲート線と、

前記ワード線及び前記選択ゲート線を選択する行選択手段と、

前記ビット線を選択する列選択手段と、

前記メモリセルアレイが複数に分割されて形成されたブロック毎に前記行選択手段を選択するブロック選択手段と、

前記ビット線に前記選択ゲートを介して接続されたメモリセルへのデータの書き込みを行うためのバッファ回路とを具備し、

前記電氣的に書き換え可能なメモリセルのデータの消去の際、消去するブロックサイズ及び一組のブロックアドレスの入力で指定された複数のブロックを前記ブロック選択手段により同時に選択し、この選択したブロック内の全てのメモリセルのデータを消去することを特徴とする不揮発性半導体記憶装置。

【請求項 1 4】 前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記ブロックアドレスを先頭アドレスとする複数のアドレスの多重選択により、アドレスの連続する複数のブロックを同時に選択することの特徴とする請求項 1 2 または 1 3 に記載の不揮発性半導体記憶装置。

【請求項 1 5】 前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記消去するブロックサイズの入力により選択される複数のブロックの個数は、 n を整数とした場合に 2 の n 乗であることを特徴とする請求項

4

1 2 ないし 1 4 いずれか 1 つの項に記載の不揮発性半導体記憶装置。

【請求項 1 6】 電氣的に書き換え可能なメモリセルがマトリクス配列され、複数のブロックに分割されたメモリセルアレイと、

前記メモリセルアレイの各ブロックを選択するブロック選択手段と、

前記ブロック選択手段で選択されたブロック中のメモリセルの行を選択する行選択手段と、

10 前記メモリセルアレイ中のメモリセルの列を選択する列選択手段とを具備し、

データの消去の際に、ブロックアドレスが入力され、消去モードを指示する信号が入力されている時に、前記行選択手段を制御して複数のアドレスを多重選択させることにより、前記ブロックアドレスを先頭アドレスとする連続した 2 の n (n は正の整数) 乗個のブロックを選択し、前記ブロックアドレスで指定されたブロックを含む 2 の n 乗個のブロック中のメモリセルのデータを実質的に同時に消去することを特徴とするフラッシュメモリ。

20 【請求項 1 7】 電氣的に書き換え可能なメモリセルがマトリクス配列され、複数のブロックに分割されたメモリセルアレイと、

前記メモリセルアレイの各ブロックを選択するブロック選択手段と、

前記ブロック選択手段で選択されたブロック中のメモリセルの行を選択する行選択手段と、

前記メモリセルアレイ中のメモリセルの列を選択する列選択手段とを具備し、

30 データの消去の際に、消去するブロックサイズを指示する信号及びブロックアドレスが入力され、前記行選択手段を制御して複数のアドレスを多重選択させることにより、前記ブロックアドレスを先頭アドレスとする連続した 2 の n (n は正の整数) 乗個のブロックを選択し、前記ブロックアドレスで指定されたブロックを含む前記ブロックサイズで指示された所定の 2 の n 乗個のブロック中のメモリセルのデータを実質的に同時に消去することの特徴とするフラッシュメモリ。

40 【請求項 1 8】 消去するブロックの個数が 2 の n 乗個以外の時に、 2 の n 乗個のブロックサイズずつ複数サイクルに分けて消去を行うことを特徴とする請求項 1 7 に記載のフラッシュメモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、半導体記憶装置に関するもので、特に書き換え可能な不揮発性半導体記憶装置及びフラッシュメモリに係り、更に詳しくは、アドレスを多重選択してメモリセルアレイ中の複数のブロックまたは複数のワード線を同時に選択し、消去、書き込み及びテスト等を行う技術に関する。

【0 0 0 2】

50

【従来の技術】従来、半導体記憶装置の一種として、電気的な書き換えを可能としたEEPROMが知られている。なかでも、メモリセルを複数個直列接続してNANDセルを構成するNANDセル型EEPROMは、高集積化ができるものとして注目されている。

【0003】NANDセル型EEPROMにおける1つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲート（電荷蓄積層）と制御ゲートが積層されたFETMOS構造を有している。そして、複数のメモリセルが隣接するもの同士でソース・ドレインを共有する形で直列接続されてNANDセルを形成している。このようなNANDセルがマトリックス配列されてメモリセルアレイが構成される。

【0004】メモリセルアレイにおける列方向に並ぶNANDセル列の一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースは別の選択ゲートトランジスタを介して共通ソース線に接続されている。メモリセルトランジスタの制御ゲート電極及び上記各選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向に沿って延設されたワード線（制御ゲート線）と選択ゲート線にそれぞれ共通接続されている。

【0005】このような従来のNANDセル型EEPROMの公知例として、文献（論文）1：K. -D. Suh et al., "A 3.3V 32Mb NAND Flash Memory With Incremental Step Pulse Programming Scheme," IEEE J. Solid-State Circuits, vol. 30, pp. 1149-1156, Nov. 1995.、及び文献（論文）2：Y. Iwata et al., "A 35ns Cycle Time 3.3V Only 32Mb NAND Flash EEPROM," IEEE J. Solid-State Circuits, vol. 30, pp. 1157-1164, Nov. 1995.等の発表がある。

【0006】上記文献1には、従来のNANDセル型EEPROMの基本的な構成と動作が説明されている。その内容を以下に図16（論文1のFig. 1に対応する）及び図17（論文1のFig. 3に対応する）を用いて紹介する。

【0007】図16はメモリセルアレイとその周辺回路の概略構成を示すブロック図であり、図17は消去、読み出し及び書き込み動作のバイアス状態について説明するための図である。図16及び図17において、BSELはブロック選択信号、BL0~BL4243はデータ線としてのビット線、WL0~WL15はワード線、CSSLはソース線、CG0~CG15は共通ゲート線、SSL、GSLはそれぞれビット線側とソース線側の選択ゲート線、Pass W/L、Sel. W/Lはそれぞれ

れ、選択されたNANDセル内の非選択ワード線と選択ワード線を示している。

【0008】消去動作時には、上記図16に示した回路における共通ゲート線CG0~CG15は接地され、選択ブロックのブロック選択信号BSELは“ハイ（電源電圧）”となり、非選択ブロックのブロック選択信号は“ロウ（接地電位）”を維持する。従って、選択ブロックのワード線は接地電位となり、非選択ブロックのワード線はフローティング状態になる。次に、21Vで3msの長さの消去パルスがバルク（セルPウェル）に印加される。その結果、選択ブロックでは、バルクとワード線との間に消去電圧（21V）が加わり、浮遊ゲート中の電子がFN（Fowler-Nordheim）トンネル電流によりセルPウェル中に抜け、セルのしきい値電圧はほぼ-3Vとなる。NAND型フラッシュメモリでは過消去が問題とならないため、セルは1回の消去パルスで-3V程度にまで深く消去される。一方、非選択ブロックは、フローティング状態のワード線とセルPウェルとの容量カップリングにより、消去パルスの影響を受けない。フローティング状態の制御ゲートには、ブロック選択信号BSELが入力されるトランジスタのソース、このソースとワード線との間の金属配線、及びポリシリコンからなるワード線が接続されている。カップリング比は、フローティング状態のワード線に付随する容量から計算される。この容量としては、ブロック選択信号BSELがゲートに入力されるトランジスタのソース接合容量、ソースとゲートのオーバーラップ容量、ポリシリコンと金属配線のフィールド上の容量、ポリシリコンからなるワード線とセルPウェルとの容量等があるが、ワード線とセルPウェルとの容量が全容量に対して支配的に大きい。このため、実測結果から求めたカップリング比は約0.9と大きく、FNトンネル電流が流れるのを防げる。消去ヴェリファイ（検証）では、選択ブロック内の全てのセルのしきい値電圧が-1V以下になったか否かが判定される。

【0009】一方、読み出し動作では、1ページ分のセルデータが同時にページバッファ中のラッチ回路に転送され、連続的な読み出しが行われる。図18（論文1のFig. 4に対応）は、読み出し時の主要信号の動作波形図である。1ページ分のセルデータをセンスする際、ページバッファは最初“0”（論理ロウレベルで、書き込みセルを読み出した状態）に初期化されており、次いでビット線は0Vに放電され、選択ゲート線SSL、GSLは4.5Vになる（図18のt1）。その後、選択ブロック（NANDセル列）内の選択ワード線には0Vが、選択ブロック内の非選択ワード線にはバス電圧である4.5Vがそれぞれ入力される（図18のt2）。非選択ワード線に入力される4.5Vは書き込み後及び消去後のそれぞれのセルのしきい値電圧よりも高いため、全ての非選択セルはパス・トランジスタとして働く。一

7

方、0 V印加の選択ワード線により、消去後のセル・トランジスタのみが導通する。従って、消去後のセルに対して読み出しが行われたNANDセルはビット線を接地するパスとなり、書き込み後のセルに対して読み出しが行われたNANDセルはビット線が開放状態（オープン状態）になる。t 3では、ビット線からラッチへの直接のセンス経路は、図16に示した回路における信号PGMをロウにすることにより遮断されており、ラッチデータはトランジスタSENSEを通してのみ決定される。基準電位Vrefによって、2 μ Aの負荷電流をビット線に供給するPMOSカレント・ミラー回路の負荷が活性化される。消去後のセルを読み出しているビット線では、負荷電流が流れ続けてロウレベルを維持し、書き込み後のセルを読み出しているビット線はハイレベルとなる。書き込み後のセルを読み出しているビット線はトランジスタSENSEを導通させ、ラッチデータを“1”に反転する（t 4）。こうして、書き込み後のセルを読み出したラッチ回路は“1”、消去後のセルを読み出したラッチ回路は“0”を保存する。これらのラッチデータは読み出し回路を経た後、正規の論理レベルに変換される。従って、1 ページ分の全ラッチ回路は同時にセットされた後、連続的な読み出しを可能とする。

【0010】更に、書き込み動作では、最初、連続的にページバッファに書き込みデータがロードされる。

“0”は書き込みを行うセルデータであり、“1”は書き込み禁止のセルデータである。書き込みサイクルは、全ての“0”ラッチデータの全セルが書き込まれるまで繰り返される。各書き込みサイクルは、書き込みパルスと“0”ラッチのセルの過書き込みを防止するためのヴェリファイ動作とからなる。さらに具体的には、40 μ mの書き込みサイクルは以下の（1）～（4）のステップで実行される。

【0011】（1）ビット線セットアップ（8 μ s）：ページバッファのラッチ回路内の書き込みデータにしたがって、ビット線のレベルを書き込みは0 Vに、書き込み禁止はVccに設定する。

【0012】（2）書き込み（20 μ s）：選択ワード線に書き込み電圧を短いパルスで入力する。

【0013】（3）ワード線放電（4 μ s）：選択ワード線の高電位は放電され、次の低いヴェリファイ電位の40 入力に備える。

【0014】（4）書き込みヴェリファイ（8 μ s）：書き込みセルのしきい値電圧が目標値以上に書き込まれたか否かをチェックする。

【0015】ヴェリファイ動作では、十分に書き込みが行われたセルのラッチ回路は“0”から“1”へと変わり、更に書き込まれることを防ぐ。ヴェリファイ動作時のバイアス条件は読み出し動作時のそれとほぼ同じであるが、ラッチ回路には書き込み時のデータが保持され、0 Vとは異なる0.7 Vが選択ワード線に入力される。50

8

この条件の下で、書き込みセルのしきい値電圧が0.7 Vを越えた時、すなわち、十分に書き込みが行われた時に、ラッチ回路内のデータは“0”から“1”へと変化する。“1”データが書き込まれたラッチ回路は、ヴェリファイ動作では“0”から“1”へのみ変化するため影響を受けない。書き込みサイクルはページバッファのラッチ回路が全て“1”を保持するまで、若しくは10サイクルの最大書き込み時間に達するまで繰り返される。

【0016】図19（論文1のFig. 5に対応する）は、選択セルのチャネルに供給する書き込み禁止電圧のバイアス条件を示している。ビット線側の選択ゲート線SSLにゲートが接続されているトランジスタはゲート電圧Vccの導通状態で、且つソース線側の選択ゲート線GSLにゲートが接続されているトランジスタはゲート電圧0 Vの非導通状態、書き込みセルのビット線は0 V、書き込み禁止セルのビット線はVccにそれぞれ設定する。0 Vのビット線により、そのNANDセルのチャネルは接地電位となる。選択セルの制御ゲートに書き込み電圧が入力されると、浮遊ゲートとチャネル間に大きなポテンシャルの差が生じ、浮遊ゲートにFNTトンネル電流で電子が注入され、セルが書き込まれる。書き込み禁止セルにおいては、Vccレベルのビット線により選択NANDセルのチャネルが予備充電された後、ビット線側の選択ゲートトランジスタが非導通状態となり、チャネルがフローティングとなる。選択NANDセルのワード線、すなわち、書き込み電圧が入力される選択ワード線とパス電圧が入力される非選択ワード線が立ち上がると、ワード線、浮遊ゲート、チャネル及びセルPウェル、それぞれを介した直列容量の結合により、チャネル容量は自動的に昇圧される。このように、選択ブロック内の書き込み禁止のNANDセルのチャネル電位は、ワード線とチャネルとの容量結合によって決定される。従って、書き込み禁止電圧を十分に高くするためには、チャネルの初期充電を十分に行うこと、また、ワード線とチャネル間の容量カップリング比を大きくすることが重要となる。

【0017】ワード線とチャネル間のカップリング比Bは以下のように算出される。

【0018】 $B = C_{ox} / (C_{ox} + C_j)$

ここで、 C_{ox} はワード線とチャネルとの間のゲート容量の総和、 C_j はセルトランジスタのソース及びドレイン接合容量の総和である。また、NANDセルのチャネル容量とは、これらゲート容量の総和 C_{ox} と接合容量の総和 C_j の合計となる。更に、その他の容量である選択ゲートとソースのオーバーラップ容量や、ビット線とソース及びドレインとの容量等は全チャネル容量に比べて非常に小さいため、ここでは無視している。

【0019】以上が従来のNAND型EEPROMに関する説明である。ここでは、電氣的に書き換え可能な不

揮発性半導体記憶装置の代表例として示した。

【0020】さて、上記のようなNAND型EEPROMを記憶媒体とした電子スチールカメラ(Solid State Camera)が最近商品化されている。例えば、富士写真フイルム株式会社から発売されているDS-7がその一例であり、このカメラは16MビットのNAND型EEPROMを用いて、30万画素の写真が30枚撮影できる。従って、この場合、写真1枚当たり約0.5Mビット使用することがわかる。16MビットのNAND型EEPROMでは、消去ブロック(セクター)サイズが32Kビットで構成されているため、30万画素の写真では16ブロックが必要となる。電子スチールカメラは、撮影した写真をその場で確認し、必要に応じて撮り直しができることが特長の一つである。撮り直しをする場合には、16ブロック、0.5Mビットのデータを一度消去する必要がある。この消去の際、16ブロックのデータを1ブロックずつ消去し、1ブロックずつ消去が十分に行われたか否かの確認(Erase Verify)を行うため消去時間が長くなる。例えば、1ブロックの消去時間を2msとすると、16ブロック消去するには32msかかることになり、この間は撮影が制限される。

【0021】そこで、消去時間を短縮するために、複数ブロックの消去を同時に行う方法が文献3:E. Harari et al., "EEPROM System with Erase Sector Select," USP 5,418,752, May 23, 1995. に提案されている。この技術はマルチブロック消去(Selective Multiple Sector Erase)と呼ばれており、同時に消去するフラッシュメモリのセクター(ブロック)を選択的に指定できるようにしたものである。しかし、上記マルチブロック消去では、複数ブロックの消去を同時に行える反面、消去するセクター(ブロック)を選択的に指定するためのセクター(ブロック)・アドレス・レジスタ(REG)221, ..., 223, ... (図20参照:文献3のFig. 3Aに対応する)が必要となる。このため、余分なレジスタ回路部の存在によりチップサイズが増大し、チップコストが高くなるという問題が発生する。

【0022】なお、図20において、209は図示しないコントローラと情報の伝達を行うための信号線、211, ..., 213, ...はセクター、225はコマンドレジスタ、227はシリアルインターフェイス、229はコマンドデコーダ、231はアドレスレジスタ、233はデコーダ、235はデコード出力信号線、237は消去イネーブル信号を転送するバス、239はレジスタ221の出力、251は消去イネーブルコマンドが転送される信号線、261はリセット信号線である。上記コントローラには、コマンド・ラッチ・イネーブル信号CLE、チップ・イネーブル信号/CE(符号の前に付した

“/”は反転信号、すなわちバーを意味する)、ライト・イネーブル信号/WE、アドレス・ラッチ・イネーブル信号ALE、リード・イネーブル信号/RE等が供給されており、これらの信号とコマンドCM1, CM2, CM3とに基づいて生成した信号を、各フラッシュEEPROMチップの信号線209を介してシリアルインターフェイス227に供給して動作を制御するようになっている。

【0023】また、上記複数ブロックの消去を同時に行う方法は、図21のタイミングチャートに示すように、まず、消去するセクターを指定するためのコマンドCM1を入力するとともに、消去するセクター(ブロック)・アドレスA8~A15, A16~A20を複数組(図21では3組の場合を示している)入力する。その後、消去コマンドCM2を入力して、tMBERASEの期間にセクター(ブロック)・アドレスで指定した複数のセクターの消去を行う。消去動作後には、状態読み取りコマンドCM3を入力して消去確認読み出しを行う。この消去確認読み出し動作によって、選択したセクター中の全てのメモリセルのしきい値電圧が負になったことを確認する。

【0024】このように、複数のセクター(ブロック)を選択的に消去するためには、消去動作に先立って、消去するセクターを指定するためのセクター(ブロック)・アドレスA8~A15, A16~A20を複数組入力する必要があり、このための時間及び複数アドレス入力による処理の複雑化も無視できない問題となる。

【0025】しかし、上記マルチブロック消去では、複数ブロックの消去を同時に行える反面、消去するセクター(ブロック)を選択的に指定するためのセクター(ブロック)・アドレス・レジスタ(REG)221, ..., 223, ... (文献3のFig. 3A参照)がセクター(ブロック)毎に必要となる。このため、余分なレジスタ回路部の存在によりチップサイズが増大し、チップコストが高くなる。しかも、上述したように、複数のセクター(ブロック)を選択的に消去するためには、消去動作に先立って、消去するセクターを指定するためのセクター(ブロック)・アドレスA8~A15, A16~A20を複数組入力する必要がある。このため、セクター(ブロック)・アドレスA8~A15, A16~A20を複数組入力する時間、及び複数アドレス入力によるデコード等の処理の複雑化も無視できない。

【0026】

【発明が解決しようとする課題】上記のように従来の半導体記憶装置は、1ブロック毎の消去動作と確認動作が必要となるため、複数ブロックの消去を行うと消去時間が長くなるという問題があった。この問題を解決するために複数ブロックの同時消去を行おうとすると、消去するセクター(ブロック)を選択的に指定するためのセクター(ブロック)・アドレス・レジスタがセクター(ブ

ロック)毎に必要となり、チップコストが高くなる。また、このレジスタにアドレスを入力するための時間が必要となり、且つアドレス入力の複雑化を招くという問題があった。

【0027】この問題は、消去動作に限らず、メモリセルアレイ中の複数のブロックを同時に選択して書き込みを行ったり、テストを行う場合も同様である。

【0028】本発明は、上記事情を考慮してなされたもので、その目的とするところは、チップコストの増加やアドレス入力の複雑化を招くことなく、消去時間、書き込み時間及びテスト時間等を短縮できる半導体記憶装置を提供することにある。

【0029】また、本発明の他の目的は、チップサイズの増大やアドレス入力の複雑化を招くことなく、メモリセルアレイ中の複数のブロックに対して選択的に消去、書き込み及びテスト等を行うことができる半導体記憶装置を提供することにある。

【0030】本発明の更に他の目的は、チップサイズの増大やアドレス入力の複雑化を招くことなく、選択ブロックのサイズを自由に設定でき、メモリセルアレイ中の複数のブロックに対して選択的に消去、書き込み及びテスト等を行うことができる半導体記憶装置を提供することにある。

【0031】

【課題を解決するための手段】本発明の請求項1に記載した半導体記憶装置は、メモリセルがマトリクス配列されたメモリセルアレイと、前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、前記メモリセルアレイ中の各メモリセルが列毎に接続されたデータ線と、前記ワード線を選択する行選択手段と、前記データ線を選択する列選択手段と、制御データをラッチするラッチ手段を有し、アドレス信号に基づいて相補信号を生成し、前記相補信号の複数の組み合わせで前記メモリセルアレイ中の1つのアドレスを指定する内部アドレス信号生成手段と、外部からの制御により、前記ラッチ手段に選択的に制御データをラッチさせるデータ設定手段と、前記ラッチ手段にラッチされている制御データに応じて、前記内部アドレス信号生成手段から出力される相補信号を同一論理レベルに設定する内部アドレス信号設定手段とを具備することを特徴としている。

【0032】請求項2に記載したように、請求項1に記載の半導体記憶装置において、前記メモリセルは、半導体基板上に形成された電氣的に書き換え可能なメモリセルを含むメモリセルユニットがマトリクス配列されて形成されることを特徴とする。

【0033】請求項3に記載したように、請求項1または2に記載の半導体記憶装置において、前記内部アドレス信号設定手段は、消去モード、書き込みモード及びテストモードの少なくともいずれか1つのモード時に、前記相補信号を同一論理レベルに設定することを特徴とす

る。

【0034】請求項4に記載したように、請求項1または2に記載の半導体記憶装置において、前記内部アドレス信号設定手段は、選択するブロックのサイズと選択開始ブロックを示す信号をラッチし、前記ラッチしたブロックのサイズと選択開始ブロックを示す信号をデコードして、ブロックの多重選択を行うための制御信号を生成し、前記行選択手段に供給することを特徴とする。

【0035】請求項5に記載したように、請求項1または2に記載の半導体記憶装置において、前記内部アドレス信号設定手段は、選択するブロックのサイズを示す信号をラッチするブロック・サイズ・バッファと、前記ブロック・サイズ・バッファの出力信号と選択開始ブロックを示す信号をデコードしてブロックの多重選択を行うための制御信号を生成し、前記行選択手段に供給するブロック・アドレス・プリデコーダとを含むことを特徴とする。

【0036】請求項6に記載したように、請求項1または2に記載の半導体記憶装置において、前記内部アドレス信号設定手段は、選択するブロックのアドレスをラッチするラッチ回路と、前記ラッチ回路のラッチデータに応じて前記内部アドレス信号生成手段から出力される相補信号を同一論理レベルに設定するか否かを決定する論理回路とを含むことを特徴とする。

【0037】請求項7に記載したように、請求項1または2に記載の半導体記憶装置において、前記内部アドレス信号設定手段は、前記メモリセルアレイの選択するロウアドレスをラッチするラッチ回路と、前記ラッチ回路のラッチデータに応じて前記内部アドレス信号生成手段から出力される相補信号を同一論理レベルに設定するか否かを決定する論理回路とを含むことを特徴とする。

【0038】また、本発明の請求項8に記載した不揮発性半導体記憶装置は、半導体基板上に形成された電氣的に書き換え可能なメモリセルを含むメモリセルユニットが構成され、このメモリセルユニットがマトリクス配列されたメモリセルアレイと、前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、前記メモリセルアレイ中の各メモリセルユニットが列毎に接続されたデータ線と、前記ワード線を選択する行選択手段と、前記データ線を選択する列選択手段と、前記メモリセルアレイが複数に分割されて形成されたブロック毎に前記行選択手段を選択するブロック選択手段と、前記データ線に接続されたメモリセルへのデータの書き込みを行うためのバッファ回路とを具備し、前記電氣的に書き換え可能なメモリセルのデータの消去の際、一組のブロックアドレスの入力で指定されたブロックを含む複数のブロックを前記ブロック選択手段により同時に選択し、この選択したブロック内の全てのメモリセルのデータを消去することを特徴としている。

【0039】請求項9に記載したように、請求項8に記

載の不揮発性半導体記憶装置において、前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記ブロックアドレスを先頭アドレスとする複数のアドレスの多重選択により、アドレスの連続する複数のブロックを同時に選択することを特徴とする。

【0040】請求項10に記載したように、請求項8または9に記載の不揮発性半導体記憶装置において、前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記一組のブロックアドレスの入力で選択される複数のブロックの個数は、 n を整数とした場合に2の n 乗であることを特徴とする。

【0041】請求項11に記載したように、請求項10に記載の不揮発性半導体記憶装置において、前記複数のブロックの個数は固定されていることを特徴とする。

【0042】更に、本発明の請求項12に記載した不揮発性半導体記憶装置は、半導体基板上に形成された電氣的に書き換え可能なメモリセルを含むメモリセルユニットが構成され、このメモリセルユニットがマトリクス配列されたメモリセルアレイと、前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、前記メモリセルアレイ中の各メモリセルユニットが列毎に接続されたデータ線と、前記ワード線を選択する行選択手段と、前記データ線を選択する列選択手段と、前記メモリセルアレイが複数の分割されて形成されたブロック毎に前記行選択手段を選択するブロック選択手段と、前記データ線に接続されたメモリセルへのデータの書き込みを行うためのバッファ回路とを具備し、前記電氣的に書き換え可能なメモリセルのデータの消去の際、消去するブロックサイズ及び一組のブロックアドレスの入力で指定された複数のブロックを前記ブロック選択手段により同時に選択し、この選択したブロック内の全てのメモリセルのデータを消去することを特徴としている。

【0043】更にまた、本発明の請求項13に記載した不揮発性半導体記憶装置は、半導体基板上に形成された電氣的に書き換え可能なメモリセルが複数個直列接続されてNANDセル列が構成され、このNANDセル列がマトリクス配列されたメモリセルアレイと、前記メモリセルアレイ中の各メモリセルが行毎に接続されたワード線と、前記メモリセルアレイ中の各NANDセル列が列毎に接続されたビット線と、前記各NANDセル列と前記各ビット線との間に設けられ、前記各NANDセル列を選択するための選択ゲートと、前記ビット線と交差して配設され、前記各選択ゲートを制御して前記各NANDセル列を前記ビット線に選択的に接続する選択ゲート線と、前記ワード線及び前記選択ゲート線を選択する行選択手段と、前記ビット線を選択する列選択手段と、前記メモリセルアレイが複数の分割されて形成されたブロック毎に前記行選択手段を選択するブロック選択手段と、前記ビット線に前記選択ゲートを介して接続されたメモリセルへのデータの書き込みを行うためのバッファ

回路とを具備し、前記電氣的に書き換え可能なメモリセルのデータの消去の際、消去するブロックサイズ及び一組のブロックアドレスの入力で指定された複数のブロックを前記ブロック選択手段により同時に選択し、この選択したブロック内の全てのメモリセルのデータを消去することを特徴としている。

【0044】請求項14に記載したように、請求項12または13に記載の不揮発性半導体記憶装置において、前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記ブロックアドレスを先頭アドレスとする複数のアドレスの多重選択により、アドレスの連続する複数のブロックを同時に選択することを特徴とする。

【0045】請求項15に記載したように、請求項12ないし14いずれか1つの項に記載の不揮発性半導体記憶装置において、前記電氣的に書き換え可能なメモリセルのデータの消去の際、前記消去するブロックサイズの入力により選択される複数のブロックの個数は、 n を整数とした場合に2の n 乗であることを特徴とする。

【0046】また、本発明の請求項16に記載したフラッシュメモリは、電氣的に書き換え可能なメモリセルがマトリクス配列され、複数のブロックに分割されたメモリセルアレイと、前記メモリセルアレイの各ブロックを選択するブロック選択手段と、前記ブロック選択手段で選択されたブロック中のメモリセルの行を選択する行選択手段と、前記メモリセルアレイ中のメモリセルの列を選択する列選択手段とを具備し、データの消去の際に、ブロックアドレスが入力され、消去モードを指示する信号が入力されている時に、前記行選択手段を制御して複数のアドレスを多重選択させることにより、前記ブロックアドレスを先頭アドレスとする連続した2の n (n は正の整数)乗個のブロックを選択し、前記ブロックアドレスで指定されたブロックを含む2の n 乗個のブロック中のメモリセルのデータを実質的に同時に消去することを特徴としている。

【0047】本発明の請求項17に記載したフラッシュメモリは、電氣的に書き換え可能なメモリセルがマトリクス配列され、複数のブロックに分割されたメモリセルアレイと、前記メモリセルアレイの各ブロックを選択するブロック選択手段と、前記ブロック選択手段で選択されたブロック中のメモリセルの行を選択する行選択手段と、前記メモリセルアレイ中のメモリセルの列を選択する列選択手段とを具備し、データの消去の際に、消去するブロックサイズを指示する信号及びブロックアドレスが入力され、前記行選択手段を制御して複数のアドレスを多重選択させることにより、前記ブロックアドレスを先頭アドレスとする連続した2の n (n は正の整数)乗個のブロックを選択し、前記ブロックアドレスで指定されたブロックを含む前記ブロックサイズで指示された所定の2の n 乗個のブロック中のメモリセルのデータを実質的に同時に消去することを特徴としている。

15

【0048】請求項18に記載したように、請求項17に記載したフラッシュメモリにおいて、消去するブロックの個数が2のn乗個以外の時に、2のn乗個のブロックサイズずつ複数サイクルに分けて消去を行うことを特徴とする。

【0049】請求項1のような構成によれば、相補信号を同一レベルに設定することによってアドレスを多重選択するので、チップコストの増加やアドレス入力の複雑化を招くことなく、消去時間、書き込み時間及びテスト時間等を短縮できる。また、チップサイズの増大やアドレス入力の複雑化を招くことなく、メモリセルアレイ中の複数のブロックに対して選択的に消去、書き込み及びテスト等を行うことができる。更に、チップサイズの増大やアドレス入力の複雑化を招くことなく、選択ブロックのサイズを自由に設定でき、メモリセルアレイ中の複数のブロックに対して選択的に消去、書き込み及びテスト等を行うことができる。

【0050】請求項2に示すように、メモリセルは、例えば電氣的に書き換え可能なメモリセルユニットがマトリックス配置されて形成される。

【0051】請求項3に示すように、消去モード、書き込みモード及びテストモードの少なくともいずれか1つのモード時に、内部アドレス信号設定手段で相補信号を同一論理レベルに設定すれば、複数のメモリセルを同時に選択した状態で消去、書き込み、あるいはテストを行うことができ、消去時間、書き込み時間、あるいはテスト時間を短縮できる。

【0052】請求項4に示すように、内部アドレス信号設定手段でブロックの多重選択を行うための制御信号を生成して行選択手段に供給すれば、メモリセルアレイ中の複数のブロックを同時に選択することができる。

【0053】請求項5に示すように、内部アドレス信号設定手段は、例えばブロック・サイズ・バッファとブロック・アドレス・プリデコーダとで構成できる。

【0054】請求項6及び請求項7に示すように、内部アドレス信号設定手段は、ラッチ回路と論理回路とで構成しても良い。

【0055】請求項8のような構成によれば、データの消去時に、一組のブロックアドレスを入力することによって複数の消去ブロックを選択し、選択したブロック内の全てのメモリセルのデータを同時に消去するので、消去時間を短縮できる。しかも、セクター（ブロック）・アドレス・レジスタは不要であるので、チップサイズの増大を抑制でき、チップコストを低減できる。

【0056】請求項9に示すように、アドレスの多重選択により連続する複数のブロックを同時に選択すれば、比較的簡単な回路を追加するのみで消去の対象となる複数のブロックを選択できる。

【0057】請求項10に示すように、消去するブロックを2のn乗個の単位で選択すれば、消去の対象となる

16

ブロックの選択をより簡単化できる。

【0058】請求項11に示すように、ブロックの個数を固定しても良い。

【0059】請求項12及び請求項13のような構成によれば、複数の消去ブロックを同時に選択し、選択したブロック内の全てのメモリセルのデータを同時に消去できるので、消去時間を大幅に短縮化できる。しかも、ユーザがチップの外部から所望の消去ブロックサイズを入力することにより自由に消去ブロックサイズの変更が可能である。これによって、不揮発性半導体記憶装置における書き換えスピードを高速化でき、製造者側においてもテスト時間の短縮化が図れ、テストコストの低減化に繋がる。また、ランダムな複数のブロックを選択的に同時に消去することはできないが、ブロック・アドレス・レジスタが不要となるため、その分回路構成を簡単化でき、チップサイズの縮小化が図れ、チップコストの低減化となる。更に、消去ブロック・アドレスを全て入力する必要がないため、アドレス入力のシステムを簡略化できる。

【0060】請求項14に示すように、一組のブロックアドレスを入力し、アドレスの多重選択により連続する複数のブロックを選択すれば、比較的簡単な回路を追加するのみで消去の対象となる複数のブロックを同時に選択できる。

【0061】請求項15に示すように、消去するブロックを2のn乗個の単位で選択すれば、消去の対象となるブロックの選択をより簡単化できる。

【0062】請求項16のような構成によれば、データの消去時に、一組のブロックアドレスを入力することによって複数の消去ブロックを選択し、選択したブロック内の全てのメモリセルのデータを消去するので、消去時間を短縮できる。しかも、ブロック・アドレス・レジスタは不要であるので、チップサイズの増大を抑制でき、チップコストを低減できる。

【0063】請求項17のような構成によれば、複数の消去ブロックを同時に選択し、選択したブロック内の全てのメモリセルのデータを実質的に同時に消去できるので、消去時間を大幅に短縮化できる。しかも、ユーザがチップの外部から所望の消去ブロックサイズを入力することにより自由に消去ブロックサイズの変更が可能である。これによって、不揮発性半導体記憶装置における書き換えスピードを高速化でき、製造者側においてもテスト時間の短縮化が図れ、テストコストの低減化に繋がる。また、ランダムな複数のブロックを選択的に同時に消去することはできないが、ブロック・アドレス・レジスタが不要となるため、その分回路構成を簡単化でき、チップサイズの縮小化が図れ、チップコストの低減化となる。更に、消去ブロック・アドレスを全て入力する必要がないため、アドレス入力のシステムを簡略化できる。

50

17

【0064】請求項18に示すように、2のn乗個のブロックサイズずつ複数サイクルに分けて消去を行えば、消去するブロックサイズが2のn乗個以外の時にも容易に対応でき、消去ブロックの選択の自由度を高くできる。

【0065】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0066】図1は、本発明の第1の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、64MビットのNAND型EEPROMの概略構成を示すブロック図である。

【0067】このEEPROMは、メモリセルアレイ11、シリアルインターフェイス回路12、ロウアドレスバッファ13、ロウプリデコード14、ロウデコード（行選択手段）15、コマンドレジスタ16、コマンドデコード17、カラムアドレスバッファ18、カラムデコード（列選択手段）19、ページバッファ20、ブロック・サイズ・バッファ21、ブロック・アドレス・プリデコード22、ワード線及びセレクトゲートドライバ23及び制御回路24等を含んで構成されている。

【0068】上記メモリセルアレイ11は、1024個のブロックBLK1～BLK1024に分割されている。各ブロックBLK1～BLK1024中には、図2に示すようにNANDセルがマトリックス配列されている。各NANDセルは、複数個（ここでは16個の場合を示す）のメモリセルMC、MC、…が隣接するもの同士でソース・ドレインを共有する形で直列接続されて形成されている。NANDセル列の一端側のドレインは、それぞれ選択ゲートトランジスタST1を介してビット線（データ線）BL（BL0～BL4223）に接続される。NANDセル列の他端側のソースは選択ゲートトランジスタST2を介して共通ソース線CSLに接続されている。メモリセルアレイ11の行方向に沿って延設された選択ゲート線SSL、GSLはそれぞれ、同一行の選択ゲートトランジスタST1、ST2のゲートに接続される。同じく、メモリセルアレイ11の行方向に沿って延設されたワード線WL0～WL15はそれぞれ、同一行のメモリセルMC、MC、…の制御ゲートに接続される。

【0069】各メモリセルMCは、図3に示すように、半導体基板1上に、トンネル絶縁膜2、浮遊ゲート（電荷蓄積層）3、ONO（Oxide-Nitride-Oxide）膜4及び制御ゲート5が積層されたMOSFET構造を有している。そして、隣接するメモリセルMC、MC、…同士でソース・ドレイン6、7を共有する形で直列接続されている。

【0070】上記シリアルインターフェイス回路12には各種のコマンド、アドレス、及び書き込みを行うセルデータ等が入力され、上記メモリセルアレイ11から読

18

み出されてページバッファ20中のラッチ回路にラッチされたセルデータが出力されるようになっている。このシリアルインターフェイス回路12に入力されたロウアドレスはロウアドレスバッファ13に供給されてラッチされ、カラムアドレスはカラムアドレスバッファ18に供給されてラッチされる。また、コマンドはコマンドレジスタ16に供給されてラッチされ、消去ブロックサイズを指定するための信号はブロック・サイズ・バッファ21に供給されてラッチされる。上記ロウアドレスバッファ13にラッチされたロウアドレスはロウプリデコード14でプリデコードされ、このプリデコード信号がロウデコード15に供給されてデコードされる。このロウデコード15から出力されるデコード信号は、メモリセルアレイ11の選択されたブロック中のワード線及び選択ゲート線にそれぞれ供給される。

【0071】上記カラムアドレスバッファ18にラッチされたカラムアドレスは、カラムデコード19に供給されてデコードされ、ページバッファ20に供給される。このページバッファ20中にはラッチ回路が設けられており、上記シリアルインターフェイス回路12に入力された書き込みを行うセルデータがラッチされるとともに、上記メモリセルアレイ11中の選択されたブロックから各ビット線に読み出されたセルデータがラッチされる。上記コマンドレジスタ16に供給されたコマンドはコマンドデコード17でデコードされ、このデコード信号が制御回路24に供給される。制御回路24には、外部からコマンド・ラッチ・イネーブル信号CLE、チップ・イネーブル信号／CE（“／”は反転信号、すなわちバーを意味する）、ライト・イネーブル信号／WE、リード・イネーブル信号／RE、アドレス・ラッチ・イネーブル信号ALE及びクロック信号CLK1等が供給されている。この制御回路24は、これらの信号と上記コマンドデコード17のデコード出力とに基づいて、メモリ中の各回路を読み出し動作、書き込み動作、消去動作及びヴェリファイ動作等に応じて制御する。

【0072】上記のような構成において、読み出し及び書き込み動作は、基本的には前述した従来の64MビットのNAND型EEPROMと同様である。

【0073】一方、消去動作時には、シリアルインターフェイス回路12に、コマンドCM0～CM3、消去ブロックサイズを指定するための信号BS1～BS10、BS、上位ブロックアドレスAD1、下位ブロックアドレスAD2及びブロックアドレスA1～A10等が入力される。上記ブロック・サイズ・バッファ21は、上記シリアルインターフェイス回路12に供給されたブロックサイズを指定するための信号BS1～BS10をラッチし、上記ブロック・アドレス・プリデコード22によるプリデコード動作を制御するための内部ブロックサイズ信号bs1～bs10を生成する。上記ブロック・アドレス・プリデコード22から出力されるプリデコード

19

信号は、上記ワード線及びセレクトゲートドライバ23に供給される。また、このブロック・アドレス・プリデコーダ22から出力されるブロックアドレスの多重選択を行うための制御信号Djx, Eky, Flzは、ロウデコーダ15に供給される。上記ワード線及びセレクトゲートドライバ23の出力信号SS, CG0~CG15, GSは、上記ロウデコーダ15に供給される。これによって、消去時のロウデコーダ15によるデコード動作が制御され、あるブロックアドレスを先頭アドレスとする複数のアドレスの多重選択が行われ、アドレスの連続する複数のブロックを選択するようになっている。

【0074】図4は、上記図1に示した回路におけるブロック・サイズ・バッファ21の構成例を示している。図5及び図6は、同じく図1に示した回路におけるブロック・アドレス・プリデコーダ22の構成例を示している。これらの回路は、消去するブロックサイズを変更可能な構成になっている。また、図7は、上記ロウデコーダ15におけるメモリセルアレイ11中のブロック選択に関する回路部の構成を抽出して示している。なお、ワード線及びセレクトゲートドライバ23は、バッファ回路で構成されており、周知の構成であるので詳細な構成例は省略する。

【0075】上記ブロック・サイズ・バッファ21は、バッファ回路31, 32、ノアゲート33, 34及びインバータ35, 36を含んで構成されている。上記バッファ回路31にはブロックサイズを指定するための信号BSi (i=1~9)が供給され、上記バッファ回路32にはブロックサイズを指定するための信号BS10が供給される。上記ノアゲート33の一方の入力端にはバッファ回路31の出力が供給され、他方の入力端にはブロックサイズを指定する信号bsi+1が供給され、その出力がインバータ35を介して内部ブロックサイズ信号bsiとして出力される。また、上記ノアゲート34の一方の入力端にはバッファ回路32の出力が供給され、他方の入力端は接地され、その出力がインバータ36を介して内部ブロックサイズ信号bs10として出力される。

【0076】上記ブロック・アドレス・プリデコーダ22は、ブロックサイズカウンタ37、アドレスバッファ38-1~38-10、アドレスカウンタ39-1~39-10、インバータ40-1~40-10、ノアゲート41-1~41-10、インバータ42-1~42-10、ノアゲート43-1~43-10、インバータ44-1~44-10、ナンドゲート45D-1~45D-8, 45E-1~45E-8, 45F-1~45F-16及びインバータ46D-1~46D-8, 46E-1~46E-8, 46F-1~46F-16等を含んで構成されている。上記ブロックサイズカウンタ37には、ブロックサイズを指定するための信号BSがシリアルインターフェイス回路12から供給され、クロック信

20

号CLK1が制御回路24から供給される。また、アドレスバッファ38-1~38-10にはそれぞれ、シリアルインターフェイス回路12からブロックアドレス信号A1~A10が供給されて初期値としてセットされる。アドレスカウンタ39-1~39-10にはそれぞれ、上記各アドレスバッファ38-1~38-10の出力信号が供給される。初段のアドレスカウンタ39-1には上記ブロックサイズカウンタ37から出力されるブロックアドレス・カウントアップ信号FBSが供給され、各アドレスカウンタ39-1~39-9の出力信号が順次次段に供給されるようになっている。各アドレスカウンタ39-1~39-10の出力信号は、インバータ40-1~40-10を介してノアゲート41-1~41-10の一方の入力端にそれぞれ供給される。これらノアゲート41-1~41-10の他方の入力端にはそれぞれ、上記ブロック・サイズ・バッファ21から出力される内部ブロックサイズ信号bs1~bs10が供給される。各ノアゲート41-1~41-10の出力信号は、インバータ42-1~42-10の入力端、及びノアゲート43-1~43-10の一方の入力端にそれぞれ供給される。上記各ノアゲート43-1~43-10の他方の入力端には上記ブロック・サイズ・バッファ21から出力される内部ブロックサイズ信号bs1~bs10が供給され、その出力がインバータ44-1~44-10にそれぞれ供給される。そして、各インバータ42-1~42-10の出力端から出力されるプリデコード信号の一部(4ビットのアドレスに対応する)がワード線及びセレクトゲートドライバ23に供給されるとともに、各インバータ44-1~44-10の出力端から出力されるプリデコード信号a1~a10がワード線及びセレクトゲートドライバ23に供給される。

【0077】また、上記各プリデコード信号a1~a10、/a1~/a10は、ナンドゲート45D-1~45D-8, 45E-1~45E-8, 45F-1~45F-16に選択的に供給される。ナンドゲート45D-1~45D-8には、上記各プリデコード信号a1, /a1, a2, /a2, a3, /a3のうち、全ての組み合わせが異なるように選択された3つの信号が供給される。例えばナンドゲート45D-1の入力端には上記プリデコード信号a1, a2, a3が供給され、その出力がインバータ46D-1の入力端に供給される。ナンドゲート45D-2の入力端には上記プリデコード信号/a1, a2, a3が供給され、その出力がインバータ46D-2の入力端に供給される。同様に、ナンドゲート45D-8の入力端には上記プリデコード信号/a1, /a2, /a3が供給され、その出力がインバータ46D-8の入力端に供給される。

【0078】ナンドゲート45E-1~45E-8には、上記各プリデコード信号a4, /a4, a5, /a5, a6, /a6のうち、全ての組み合わせが異なるよ

21

うに選択された3つの信号が供給される。例えばナンドゲート45E-1の入力端には上記プリデコード信号a3, a4, a5が供給され、その出力がインバータ46E-1の入力端に供給される。ナンドゲート45E-2の入力端には、上記プリデコード信号/a3, a4, a5が供給され、その出力がインバータ46E-2の入力端に供給される。以下同様にして、ナンドゲート45E-8の入力端には、上記プリデコード信号/a3, /a4, /a5が供給され、その出力がインバータ46E-8の入力端に供給される。

【0079】ナンドゲート45F-1~45F-16には、上記各プリデコード信号a7, /a7, a8, /a8, a9, /a9, a10, /a10のうち、全ての組み合わせが異なるように選択された4つの信号が供給される。例えばナンドゲート45F-1の入力端には上記プリデコード信号a7, a8, a9, a10が供給され、その出力がインバータ46F-1の入力端に供給される。ナンドゲート45F-2の入力端には上記プリデコード信号/a7, a8, a9, a10が供給され、その出力がインバータ46F-2の入力端に供給される。以下同様にして、ナンドゲート45F-16の入力端には上記プリデコード信号/a7, /a8, /a9, /a10が供給され、その出力がインバータ46F-16の入力端に供給される。

【0080】上記各インバータ46D-1~46D-8, 46E-1~46E-8, 46F-1~46F-16から出力される制御信号Dj1~Dj8 (Djx), Ek1~Ek8 (Eky), Fl1~Fl16 (Flz)はそれぞれ、上記ロウデコーダ15に供給されてデコード動作を制御することによりブロックアドレスの多重選択を行うようになっている。

【0081】ここで、上記ブロックアドレスは、A1~A10の10ビットであり、小ブロックはBLK1からBLK1024の1024個である。ブロックサイズを指定する信号BSi (i=1~9)が入力されると、ブロック・サイズ・バッファ21により、チップ内部のブロックサイズ信号bsi (i=1~9)が生成されてブロック・アドレス・プリデコーダ22に供給される。これらの信号bs1, bs2, bs3, bs4, ...により、それぞれ2倍、4倍、8倍、16倍のブロックサイズが指定される。8ビットのI/Oから一回の入力でブロックサイズを指定するには、信号bs1から信号bs8までの8ビットが必要となり、最大ブロックが256倍のブロックサイズの場合にはこれで良い。これに対し、図4に示したように最大ブロックとして1024倍のブロックサイズを指定するには、8ビットのI/Oから二回のブロックサイズの入力が必要となる。図1に示した回路において、例えば、あるブロックアドレスを先頭に8個の連続するブロックを消去する場合には、信号bs1, bs2, bs3が論理“1”となり、ハイレベ

22

ルになる。この際、信号a1, /a1, b1, /b1, c1, /c1は多重選択され、図6のブロック・アドレス・プリデコーダ22におけるナンドゲート45D-1~45D-8に入力される信号は全て論理“1”となり、信号Dj1~Dj8はハイレベルになる。8倍のブロックサイズを指定する場合には、あるブロックアドレスのA1, A2, A3は共に“0”であるから、A3からA10で決まる連続する8ブロックが指定される。すなわち、信号Djx (x=1~8), Eky (y=1~8), Flz (z=1~16)がロウデコーダ15に入力されており、あるブロックアドレスを先頭に連続する8ブロックが消去される。

【0082】なお、上記図5に示した回路におけるアドレスカウンタ39-1, ..., 39-10は上述した消去動作のみならず、シクエンシャル読み出し (Sequential Read)、すなわち、ある制御ゲート線 (ワード線) が選択され、読み出された後、順次に次の制御ゲート線が選択され、読み出しが連続的に行われるモードにも使用される。

【0083】上記ロウデコーダ15は、ナンドゲート61, 62、インバータ63、及びNチャネル型MOSトランジスタ64~69, 70-1~70-18を含んで構成されている。上記ナンドゲート61の各入力端には、上記ブロック・アドレス・プリデコーダ22の出力信号Djx (x=1~8), Eky (y=1~8), Flz (z=1~16)が選択的に供給される。上記ナンドゲート61の出力信号はインバータ63の入力端に供給され、このインバータ63の出力信号がナンドゲート62の一方の入力端及びMOSトランジスタ64の電流通路の一端に供給される。上記ナンドゲート62の他方の入力端には、リングオシレータ (図示せず) の発振出力OSCが供給され、その出力がMOSトランジスタ66のソース・ドレインに供給される。このMOSトランジスタ66は、ソース・ドレインとゲートとの間の容量をキャパシタとして利用する。また、上記MOSトランジスタ64の電流通路の他端にはMOSトランジスタ65の電流通路の一端が接続され、ゲートには制御回路24からライトイレーズの時に当該MOSトランジスタ64をオフするための信号SWEが供給される。上記MOSトランジスタ65の電流通路の他端には、MOSトランジスタ70-1~70-18のゲートがそれぞれ接続され、ゲートは電源Vccに接続される。このMOSトランジスタ65は、上記MOSトランジスタ64に印加される電界を緩和するための電界緩和用である。上記MOSトランジスタ67の電流通路の一端はMOSトランジスタ66のゲートに接続され、他端はMOSトランジスタ65の電流通路の他端に接続され、ゲートは上記MOSトランジスタ66のゲート及びMOSトランジスタ68の電流通路の一端に接続される。MOSトランジスタ68の電流通路の他端はMOSトランジスタ69の電

23

電流通路の一端に接続され、ゲートは上記MOSトランジスタ65の電流通路の他端に接続される。MOSトランジスタ69の電流通路の他端にはプログラム用の高電圧V_{pgm}(例えば20V)が印加され、ゲートは上記MOSトランジスタ65の電流通路の他端に接続される。上記MOSトランジスタ66~69は、ローカルチャージポンプ回路を構成しており、上記発振出力OSCにตอบสนองして上記高電圧V_{pgm}を昇圧して各MOSトランジスタ70-1~70-18のゲートに与える。

【0084】上記各MOSトランジスタ70-1~70-18の電流通路の一端には、上記ワード線及びセレクトゲートドライバ23の出力信号SS, CG0~CG15, GSが供給される。上記各MOSトランジスタ70-1~70-18の電流通路の他端には、選択ゲート線SSL、ワード線WL0~WL15、及び選択ゲート線GSLが接続されている。

【0085】図8は、上記図1ないし図7に示したEEPROMの消去動作について説明するためのタイミングチャートである。まず、ブロックサイズを入力するためのコマンドCM0がI/Oピンからシリアルインターフェイス回路12に入力され、コマンドレジスタ16にラッチされた後、コマンドデコーダ17でデコードされて制御回路24に供給される。その後、ブロックサイズを指定するための信号BS1~BS10がシリアルインターフェイス回路12を介してブロック・サイズ・バッファ21に供給され、上記制御回路24の制御にตอบสนองしてラッチされる。次に、ブロック・アドレスを入力するためのコマンドCM1がシリアルインターフェイス回路12に入力され、コマンドレジスタ16にラッチされた後、上位と下位のブロックアドレスAD1及びAD2がこのコマンドレジスタ16に入力される。ここで、ブロックアドレスが上位と下位の2種類入力されるのは、例えば64MビットのNAND型EEPROMの場合には1024ブロックあり、ブロックアドレスは10ビット必要となるのに対し、I/Oは8ビットであるからブロックアドレスを上位と下位で2サイクルに分けている。従って、仮に入力されたブロックサイズが4ブロック以上の場合、指定後の拡大されたブロック数は、 $1024/4=256$ ブロック以下となるため、その内の1つのブロックを特定するためには、8ビット以下のアドレス入力で満足する。よって、この場合はブロックアドレスを上位と下位に分け2サイクルで入力する必要がなくなる。次に、消去コマンドCM2がシリアルインターフェイス回路12を介してコマンドレジスタ16に入力され、コマンドデコーダ17でデコードされて制御回路24に供給される。そして、上記制御回路24の制御によりメモリの各回路が制御されて消去動作が開始される。なお、消去動作後には、状態読み取りコマンドCM3が入力される。

【0086】図9(a)ないし(d)はそれぞれ、消去

24

ブロックサイズをメモリセルアレイ11上で示した模式図である。図9(a)はブロックサイズが2倍になった場合、図9(b)はブロックサイズが4倍になった場合、図9(c)はブロックサイズが8倍になった場合、図9(d)はブロックサイズが16倍になった場合の例をそれぞれ示している。ブロックサイズBSは2桁の16進数で入力される。これを2進数に変換すると、8桁、8ビットのI/Oから入力される。

【0087】図10(a)は、連続する11のブロックj1~j11までを消去する場合を示している。例えば、ブロックj2がブロックを8個ずつ纏めた場合の先頭ブロックである場合には、図10(b), 図10(c), 図10(d)に示すように、ブロックj1、ブロックj2~j9、及びブロックj10, j11の3つのグループに分ける。そして、それぞれ、1倍、8倍、2倍のブロックサイズで3回のサイクルで消去を行う。

【0088】次に、消去確認(ヴェリファイ)読み出し(Erase Verify Read)について以下に説明する。消去確認読み出し動作は、拡大した消去ブロックを構成する小ブロックの1ブロック毎に読み出しを行う。具体的には、上記のようにブロックサイズを8倍で消去した場合には、 $(a3, a2, a1) = (0, 0, 0), (0, 0, 1), (0, 1, 0), (0, 1, 1), (1, 0, 0), (1, 0, 1), (1, 1, 0), (1, 1, 1)$ の順番で、ブロックサイズカウンタ37及びアドレスカウンタ39-1, 39-2, 39-3が動作して8ビットのブロックアドレスをカウントアップして、消去確認読み出しを行う。

【0089】消去確認読み出し動作は、論文2の1162ページ、あるいは、論文1の1151ページに記載されているように、消去された小ブロック中の全メモリセルが同時に読み出される。具体的には、消去された小ブロック中のメモリセルの全制御ゲートを0Vにして読み出しを行うことによって、NANDセル列の全てのメモリセルが消去されたこと、すなわち、全てのメモリセルのしきい値電圧が負になったことが確認される。

【0090】消去された小ブロックを読み出した結果は、図1のページ・バッファ20にストアされる。ページ・バッファ20は、例えば図16に示したものと同様の回路で構成されている。従って、論文2のようにその結果をページ・バッファに設けられたワイアド・オア回路で一括検知しても良い。また、前記の消去した8個の小ブロックの消去確認読み出しを行い、その結果をページ・バッファに重ねてストアして、最後に一括検知を行っても良いし、ページ・バッファに対して連続的にチップ内部で読み出し判定を行うこともできる。

【0091】なお、ページ・バッファ20の内容は、図16に示される回路のように、消去が不十分なメモリセルがある場合には反転するように設計しておく、消去確認読み出しの結果をページ・バッファ20に重ねてス

25

トアしても、消去した8ブロックの内、どのブロックが消去不十分かの判定はつかないが、8ブロック内の少なくとも1ブロックで消去不十分なブロックがあることが判る。

【0092】上述した消去読み出し動作で、消去が不十分な結果が出た場合は、前記8ブロックが再度消去される。そして、この動作が消去確認読み出し動作でパスと判定されるまで繰り返される。

【0093】以上までは消去ブロックサイズBSをチップ外部より制御する場合について説明したが、消去ブロックサイズは外部から入力せずに、固定した場合でも本発明は有効である。図11は、本発明の第2の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、消去ブロックサイズを固定する場合のブロック・アドレス・プリデコード22の構成例を示す回路図である。この図11では、消去ブロックサイズを8倍にした例を示しており、A1、A2、A3のブロックアドレスに関して記載されている。この回路は、アドレスバッファ47-1~47-3、アドレスカウンタ48-1~48-3、インバータ49-1~49-3、ノアゲート51-1~51-3、インバータ51-1~51-3、ノアゲート52-1~52-3及びインバータ53-1~53-3を含んで構成されている。上記アドレスバッファ47-1~47-3にはアドレス信号A1~A3がそれぞれ供給され、これらアドレスバッファ47-1~47-3の出力がアドレスカウンタ48-1~48-3にそれぞれ供給される。上記アドレスカウンタ48-1には信号FBSが供給され、このアドレスカウンタ48-1の出力がアドレスカウンタ48-2に、アドレスカウンタ48-3の出力がアドレスカウンタ48-3にそれぞれ供給される。上記信号FBSは、コマンドで入力しても良いし、ボンディングオプション等で所定の電位が供給されるように構成しても良い。また、各アドレスカウンタ48-1~48-3の出力信号は、インバータ49-1~49-3の入力端にそれぞれ接続され、これらインバータ49-1~49-3による反転出力がそれぞれノアゲート50-1~50-3の一方の入力端にそれぞれ供給される。これらノアゲート50-1~50-3の他方の入力端には消去信号ERASEが供給され、その出力がインバータ51-1~51-3の入力端、及びノアゲート52-1~52-3の一方の入力端にそれぞれ供給される。これらノアゲート52-1~52-3の他方の入力端には上記消去信号ERASEが入力され、その出力がインバータ53-1~53-3にそれぞれ供給される。そして、各インバータ51-1~51-3の出力端からロウプリデコード信号/a1~/a3が出力され、各インバータ53-1~53-3の出力端からロウプリデコード信号a1~a3が出力されるようになっている。

【0094】消去信号（消去モードを示す判定クロッ

26

ク) ERASEが入力されている時は、ブロックアドレスA1、A2、A3が多重選択されてこのブロックアドレスで選択されたブロック中のメモリセルが消去される。消去後の消去確認読み出し動作では、消去された小ブロックの1ブロック毎にブロックアドレス・カウントアップ信号FBSがブロックアドレスを1ビットずつ8ビット進ませる。本実施の形態によれば、消去の際にはブロックサイズを大きく固定することが可能となるので、消去時間を短縮できる。

10 【0095】図12は、本発明の第3の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、64MビットのNAND型EEPROMの概略構成を示すブロック図である。上述した第1、第2の実施の形態に係る不揮発性半導体記憶装置では、連続するブロックしか同時に選択することはできないが、この第3の実施の形態では離れたブロックも選択できるようになっている。この第3の実施の形態では、複数のブロックを同時に選択して消去、書き込み及びテストを行う場合を例に取って説明する。すなわち、図12に示すEEPROMが図1に示した構成と異なるのは、ブロック・アドレス・バッファ25が設けられている点であり、これに対応してブロック・アドレス・プリデコード22'の構成が変更され、ロウプリデコード14が削除されてい
20 る。また、シリアルインターフェイス回路12にはコマンドCM0~CM3、上位ブロックアドレスAD1、下位ブロックアドレスAD2及びブロックアドレスA1~A10等が入力される。そして、上記ブロック・アドレス・バッファ25に上記ブロックアドレスA1~A10が供給されるようになっている。他の構成は基本的には同様であるので、同一部分に同じ符号を付してその詳細な説明は省略する。

【0096】図13及び図14は、上記図12に示した回路におけるブロック・サイズ・バッファ25及びブロック・アドレス・プリデコード22'の構成例を示す回路図であり、ブロックアドレスA1~A10のiビットに着目して示している。この回路は、ナンドゲート80~82、45D-1~45D-8、45E-1~45E-8、45F-1~45F-16、インバータ83~90、46D-1~46D-8、46E-1~46E-8、46F-1~46F-16、Nチャネル型MOSトランジスタ91、92等を含んで構成されている。上記ナンドゲート80、インバータ84、85、86及びMOSトランジスタ91、92は、ブロック・アドレス・バッファ25を構成している。また、上記ナンドゲート81、82、45D-1~45D-8、45E-1~45E-8、45F-1~45F-16、インバータ83、87~90、46D-1~46D-8、46E-1~46E-8、46F-1~46F-16は、ブロック・アドレス・プリデコード22'を構成している。

40 【0097】アドレス信号Ai (i=1~10) は、イ

27

ンバータ83の入力端、及びナンドゲート80、82の一方の入力端に供給される。上記インバータ83の出力信号は、ナンドゲート81の一方の入力端に供給される。上記ナンドゲート80の他方の入力端には、制御回路24からテストモードを示す信号(テスト信号)TS(あるいは消去信号ERASE、書き込み信号WS)が供給される。このナンドゲート80の出力信号は、インバータ84の入力端に供給され、このインバータ84の出力信号がMOSトランジスタ91のゲートに供給される。上記MOSトランジスタ91の電流通路の一端には、ナンドゲート81、82の他方の入力端、インバータ85の入力端とインバータ86の出力端がそれぞれ接続され、他端は接地点V_{ss}に接続される。上記MOSトランジスタ92の電流通路の一端にはインバータ85の出力端とインバータ86の出力端が接続され、他端は接地点V_{ss}に接続され、ゲートに制御回路24からリセット信号RSが供給される。上記ナンドゲート81の出力端にはインバータ87の入力端が接続され、このインバータ87の出力端にはインバータ88の出力端が接続される。上記ナンドゲート82の出力端にはインバータ89の入力端が接続され、このインバータ89の出力端にはインバータ90の出力端が接続される。そして、上記インバータ88の出力端からプリデコード信号a_i(i=1~10)が出力され、上記インバータ90の出力端からプリデコード信号/a_i(i=1~10)が出力される。

【0098】上記各プリデコード信号a₁~a₁₀、/a₁~/a₁₀は、ナンドゲート45D-1~45D-8、45E-1~45E-8、45F-1~45F-16に選択的に供給される。ナンドゲート45D-1~45D-8には、上記各プリデコード信号a₁、/a₁、a₂、/a₂、a₃、/a₃のうち、全ての組み合わせが異なるように選択された3つの信号が供給される。例えばナンドゲート45D-1の入力端には上記プリデコード信号a₁、a₂、a₃が供給され、その出力がインバータ46D-1の入力端に供給される。ナンドゲート45D-2の入力端には上記プリデコード信号/a₁、a₂、a₃が供給され、その出力がインバータ46D-2の入力端に供給される。同様に、ナンドゲート45D-8の入力端には上記プリデコード信号/a₁、/a₂、/a₃が供給され、その出力がインバータ46D-8の入力端に供給される。

【0099】ナンドゲート45E-1~45E-8には、上記各プリデコード信号a₄、/a₄、a₅、/a₅、a₆、/a₆のうち、全ての組み合わせが異なるように選択された3つの信号が供給される。例えばナンドゲート45E-1の入力端には上記プリデコード信号a₃、a₄、a₅が供給され、その出力がインバータ46E-1の入力端に供給される。ナンドゲート45E-2の入力端には、上記プリデコード信号/a₃、a₄、a

28

5が供給され、その出力がインバータ46E-2の入力端に供給される。同様に、ナンドゲート45E-8の入力端には、上記プリデコード信号/a₃、/a₄、/a₅が供給され、その出力がインバータ46E-8の入力端に供給される。

【0100】ナンドゲート45F-1~45F-16には、上記各プリデコード信号a₇、/a₇、a₈、/a₈、a₉、/a₉、a₁₀、/a₁₀のうち、全ての組み合わせが異なるように選択された4つの信号が供給される。例えばナンドゲート45F-1の入力端には上記プリデコード信号a₇、a₈、a₉、a₁₀が供給され、その出力がインバータ46F-1の入力端に供給される。ナンドゲート45F-2の入力端には上記プリデコード信号/a₇、a₈、a₉、a₁₀が供給され、その出力がインバータ46F-2の入力端に供給される。同様に、ナンドゲート45F-16の入力端には上記プリデコード信号/a₇、/a₈、/a₉、/a₁₀が供給され、その出力がインバータ46F-16の入力端に供給される。

【0101】上記各インバータ46D-1~46D-8、46E-1~46E-8、46F-1~46F-16から出力される制御信号D_{j1}~D_{j8}(D_{jx})、E_{k1}~E_{k8}(E_{ky})、F_{l1}~F_{l16}(F_{lz})はそれぞれ、上記ロウデコード15に供給されてデコード動作を制御することによりブロックアドレスの多重選択を行うようになっている。

【0102】上記のような構成において、まず、リセット信号RSを与えてMOSトランジスタ92をオンさせ、インバータ85、86からなるラッチ回路をリセットしてノードNAをハイレベルにしておく。次に、上位ブロックアドレスAD1、下位ブロックアドレスAD2及びブロックアドレスA1~A10等を入力して、テストするブロックのアドレスを指定する。テスト信号TSとしてハイレベルのパルスを与えたときに、アドレス信号A_iがハイレベルであれば、ナンドゲート80の出力がロウレベル、インバータ84の出力がハイレベルとなる。この結果、MOSトランジスタ91がオンし、ノードNAはロウレベルとなる。ナンドゲート81、82の出力はハイレベルに固定され、プリデコード信号a_i、/a_iはともにハイレベルとなる。これによって、テスト動作を行うとアドレスが多重選択状態となり、複数のブロックが同時に選択された状態でテストを行うことができる。

【0103】すなわち、アドレス信号A_iの入力後、テスト信号TSをハイレベルにすることにより、様々な組み合わせでブロックを多重選択することができる。例えば、i=0~9に対して上述したような設定を行えば、有効なブロックアドレスはa₁₀、/a₁₀だけであるので、a₁₀がロウレベルの時には上位側の半分のブロックBLK1~BLK512、/a₁₀がロウレベルの

時には下位側の半分のブロック B L K 5 1 2 ~ B L K 1 0 2 4 が選択される。隣接する 2 ブロックのみを選択する場合には、 $i = 0$ に対してのみ上述したような設定を行えば良い。このように、様々な組み合わせでブロックの多重選択が可能である。

【0104】なお、上記第 3 の実施の形態では、テスト動作を例にとって説明したが、ナンドゲート 8 0 に、テスト信号 T S に代えて、消去や書き込みに関するアドレスの多重選択のコマンドを設け、これを入力すれば、消去動作や書き込み動作においても同様なブロック選択が可能である。また、ブロックの多重選択を行う場合について説明したが、図 1 3 に示した回路を、半導体記憶装置におけるロウアドレスバッファあるいはカラムアドレスバッファとして設ければ、同様にしてアドレスの多重選択を行うこともできる。

【0105】図 1 5 は、本発明の第 4 の実施の形態に係る半導体記憶装置について説明するためのもので、ページ書き込み型のフラッシュメモリにおけるアドレス選択に関係する回路部の概略構成を示すブロック図である。この例では、メモリセルアレイ 1 0 0 - 1, 1 0 0 - 2 が分割されており、これらメモリセルアレイ 1 0 0 - 1, 1 0 0 - 2 間にロウデコーダ 1 0 1 が設けられている。このロウデコーダ 1 0 1 には、ロウアドレスバッファ 1 0 2 の出力信号が供給される。ロウアドレスバッファ 1 0 2 におけるメモリセルアレイ 1 0 0 - 1 と 1 0 0 - 2 を区別しているアドレス部は、図 1 3 に示した回路と同様に構成されている。また、各メモリセルアレイ 1 0 0 - 1, 1 0 0 - 2 に対応して、5 1 2 バイトのデータラッチ 1 0 3 - 1, 1 0 3 - 2 が設けられている。上記データラッチ 1 0 3 - 1, 1 0 3 - 2 にラッチされたデータは、マルチプレクサ (M U X) 1 0 4 に供給されて選択され、入出力回路 (I / O) 1 0 5 を介して出力される。また、入出力回路 1 0 5 に供給されたデータが、マルチプレクサ 1 0 4 を介してデータラッチ 1 0 3 - 1 または 1 0 3 - 2 に供給されてラッチされるようになっている。

【0106】上記のような構成において、通常は、ページ長として 1 ワード分の 5 1 2 バイトを用いるが、メモリセルアレイ 1 0 0 - 1, 1 0 0 - 2 の同一アドレスのワード線を同時に選択して書き込みを行うことにより、ページ長を 2 倍の 1 0 2 4 バイトにできる。また、例えばデータの消去時に、メモリセルアレイ 1 0 0 - 1, 1 0 0 - 2 中の隣接する複数 (2ⁿ) のワード線を同時に選択することも可能である。

【0107】上述したように、半導体記憶装置の製造後に外部から容易にアドレスの多重選択を行うことができるので、チップの各動作に応じて最適な数のメモリセルを選択することができる。よって、テストコストを下げることができる。また、一括動作モードを備える半導体記憶装置では、一括動作の単位を自由に変えることがで

きる。

【0108】なお、以上の説明では、不揮発性半導体記憶装置として、NAND 型 E E P R O M を例にとって本発明を説明したが、NOR 型 E E P R O M、D I N O R 型 E E P R O M、AND 型 E E P R O M、あるいは一般的な他のフラッシュメモリにおいても本発明は有効である。また、主に消去動作を例にとって説明したが、書き込みやテスト等において複数ブロックを同時に選択する場合にも同様にして適用可能である。

【0109】上述したように、本発明によれば、ユーザがチップ外部から所望のブロックサイズ、あるいはブロックに対応するアドレスを入力することにより自由に選択するブロックサイズの変更が可能となり、消去時間、テスト時間及び書き込み時間等の大幅な短縮化が可能となる。これによって、不揮発性半導体記憶装置における書き換えスピードを高速化でき、製造者側においてもテスト時間の短縮化が図れ、テストコストの低減化に繋がる。また、ランダムな複数のブロックを同時に選択することはできないが、文献 3 で示したようなブロック・アドレス・レジスタが不要となるため、その分回路構成を簡単化でき、チップサイズの縮小化が図れ、チップコストの低減化となる。更に、選択するブロック・アドレスを全て入力する必要がないため、アドレス入力のシステムを簡略化できる。

【0110】なお、本発明では、ブロック・サイズ・バッファ 2 1 やブロック・アドレス・プリデコーダ 2 2 を設けたり (第 1 の実施の形態)、ブロック・アドレス・バッファ 2 5 やブロック・アドレス・プリデコーダ 2 2 を設ける (第 3 の実施の形態) 必要があるが、これらの回路を設けることによるチップサイズの増大は、ブロック毎にブロック (セクター) ・アドレス・レジスタを設ける場合に比べて微々たるものである。

【0111】

【発明の効果】以上説明したように、本発明によれば、チップコストの増加やアドレス入力の複雑化を招くことなく、消去時間、書き込み時間及びテスト時間等を短縮できる半導体記憶装置が得られる。

【0112】また、チップサイズの増大やアドレス入力の複雑化を招くことなく、メモリセルアレイ中の複数のブロックに対して選択的に消去、書き込み及びテスト等を行うことができる半導体記憶装置が得られる。

【0113】更に、チップサイズの増大やアドレス入力の複雑化を招くことなく、選択ブロックのサイズを自由に設定でき、メモリセルアレイ中の複数のブロックに対して選択的に消去、書き込み及びテスト等を行うことができる半導体記憶装置が得られる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、6 4 M ビットの NAND 型 E E P R O M の概略構成を示すブロック

図。

【図 2】図 1 に示した回路におけるメモリセルアレイ中の各ブロックの構成例について説明するための回路図、

【図 3】図 2 に示した回路におけるメモリセルの構成例を示す断面図、

【図 4】図 1 に示した回路におけるブロック・サイズ・バッファの構成例を示す回路図。

【図 5】図 1 に示した回路におけるブロック・アドレス・プリデコーダの一部の構成例を示す回路図。

【図 6】図 1 に示した回路におけるブロック・アドレス・プリデコーダの一部の構成例を示す回路図。

【図 7】図 1 に示した回路におけるロウデコーダの構成例について説明するためのもので、ブロック選択に関係する構成を抽出して示す回路図、

【図 8】図 1 ないし図 7 に示した E E P R O M の消去動作について説明するためのタイミングチャート。

【図 9】メモリセルアレイ上の消去ブロックサイズを示したもので、(a) 図はブロックサイズが 2 倍、(b) 図はブロックサイズが 4 倍、(c) 図はブロックサイズが 8 倍、(d) 図はブロックサイズが 1 6 倍になった場合の例をそれぞれ示す図。

【図 1 0】連続した複数ブロックを消去する場合について説明するためのもので、(a) 図は消去の対象となるブロックを示す図、(b) 図は 1 回目の消去サイクルで消去されるブロックを示す図、(c) 図は 2 回目の消去サイクルで消去されるブロックを示す図、(d) 図は 3 回目の消去サイクルで消去されるブロックを示す図。

【図 1 1】本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、消去ブロックサイズを固定する場合のブロック・アドレス・プリデコーダの構成例を示す回路図。

【図 1 2】本発明の第 3 の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、6 4 M ビットの N A N D 型 E E P R O M の概略構成を示すブロック図、

【図 1 3】図 1 2 に示した回路におけるブロック・サイズ・バッファ及びブロック・アドレス・プリデコーダの *

*一部の構成例を示す回路図、

【図 1 4】図 1 2 に示した回路におけるブロック・サイズ・バッファ及びブロック・アドレス・プリデコーダの一部の構成例を示す回路図、

【図 1 5】本発明の第 4 の実施の形態に係る不揮発性半導体記憶装置について説明するためのもので、ページ書き込み型のフラッシュメモリの概略構成を示すブロック図、

【図 1 6】従来の不揮発性半導体記憶装置について説明するためのもので、メモリセルアレイとその周辺回路の概略構成を示すブロック図。

【図 1 7】従来の不揮発性半導体記憶装置における消去、読み出し、書き込み動作のバイアス状態について説明するための図。

【図 1 8】従来の不揮発性半導体記憶装置における読み出し時の主要信号の動作波形図。

【図 1 9】従来の不揮発性半導体記憶装置における選択セルのチャンネルに供給する書き込み禁止電圧のバイアス条件を示す図。

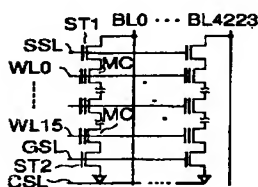
【図 2 0】従来の他の不揮発性半導体記憶装置について説明するためのもので、消去時間を短縮するために、複数ブロックの消去を同時に行うフラッシュ E E P R O M のブロック図。

【図 2 1】図 2 0 に示した回路において、選択的に複数のセクター（ブロック）を消去する際の各信号のタイミングチャート。

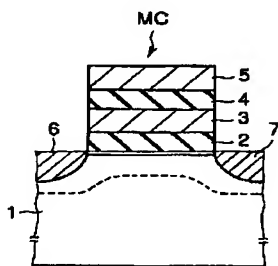
【符号の説明】

1 1 …メモリセルアレイ、1 2 …シリアルインターフェイス回路、1 3 …ロウアドレスバッファ、1 4 …ロウプリデコーダ、1 5 …ロウデコーダ、1 6 …コマンドレジスタ、1 7 …コマンドデコーダ、1 8 …カラムアドレスバッファ、1 9 …カラムデコーダ、2 0 …ページバッファ、2 1 …ブロック・サイズ・バッファ、2 2, 2 2' …ブロック・アドレス・プリデコーダ、2 3 …ワード線及びセレクトゲートドライバ、2 4 …制御回路、2 5 …ブロック・サイズ・バッファ、B L K 1 ~ B L K 1 0 2 4 …ブロック。

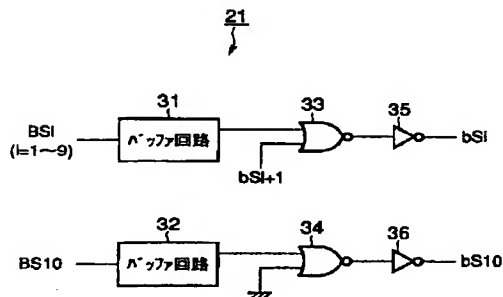
【図 2】



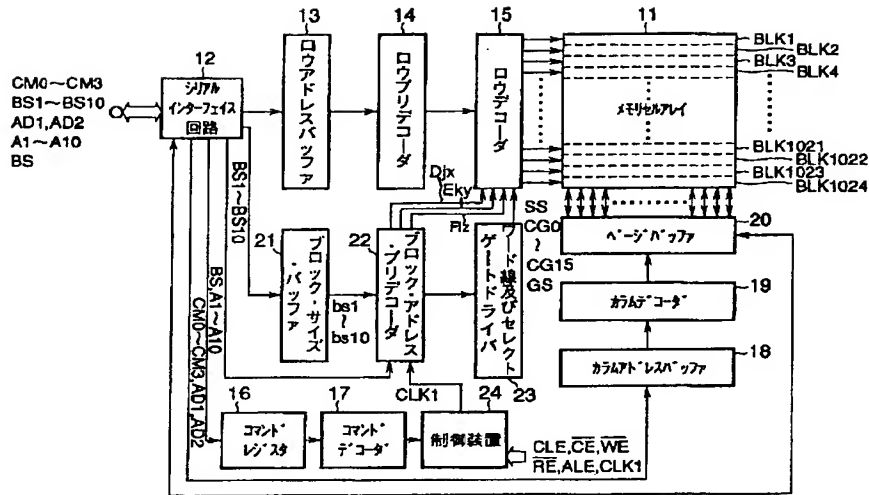
【図 3】



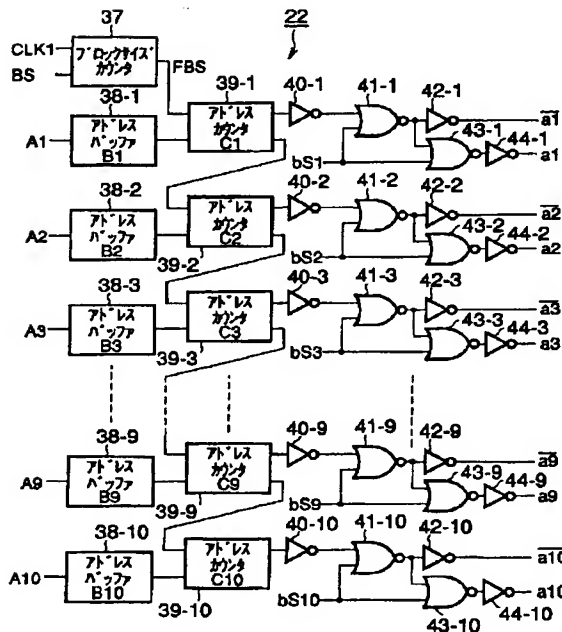
【図 4】



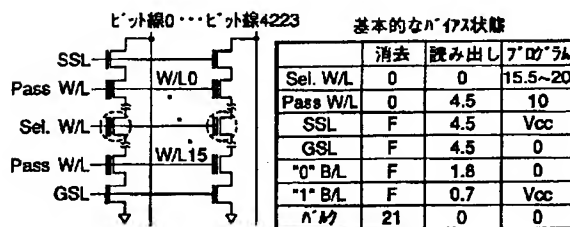
【図 1】



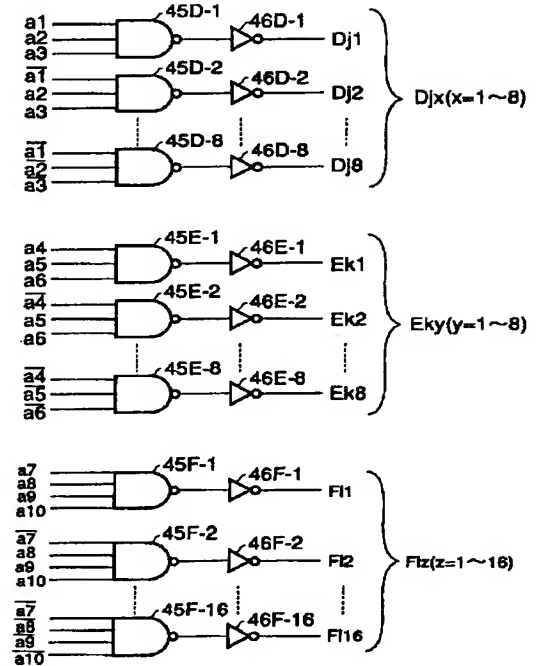
【図 5】



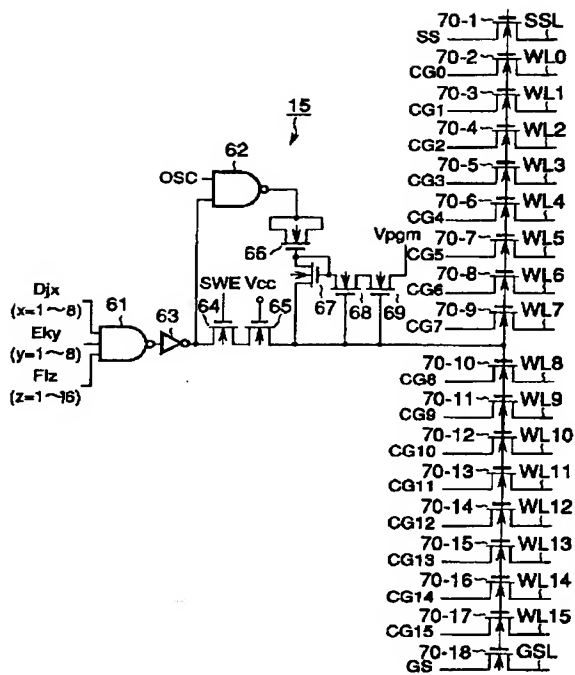
【図 17】



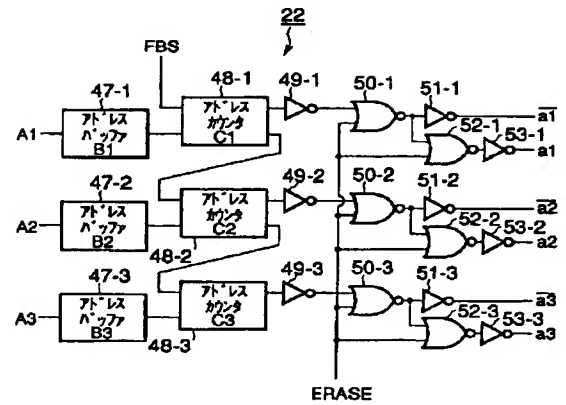
【図 6】



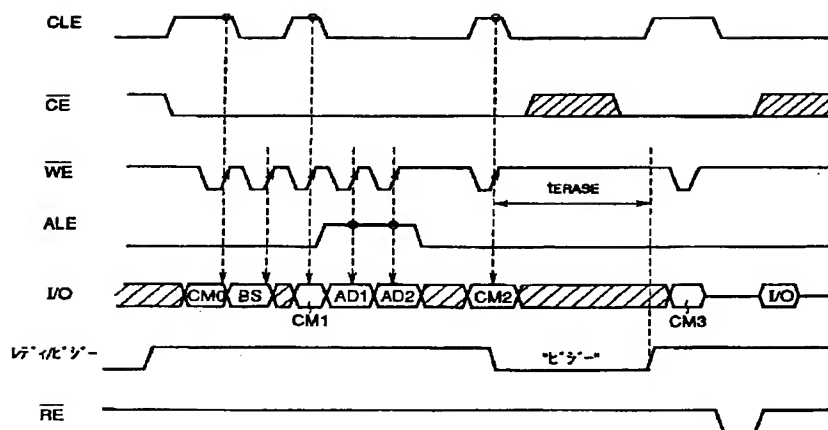
【図 7】



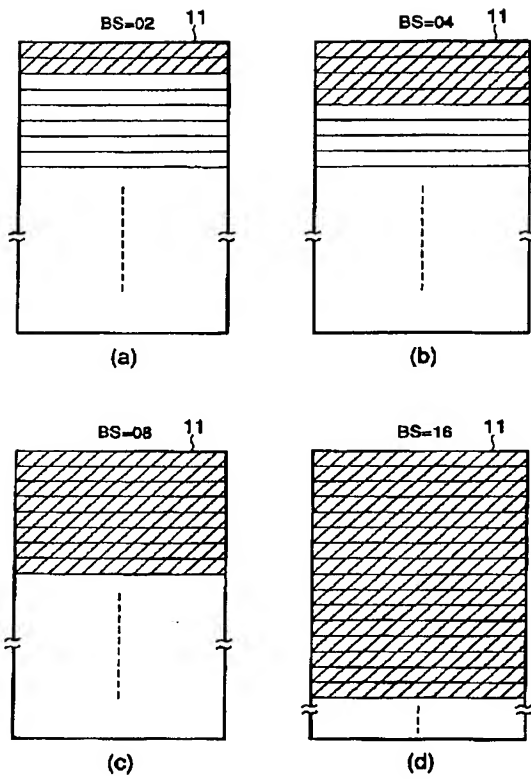
【図 11】



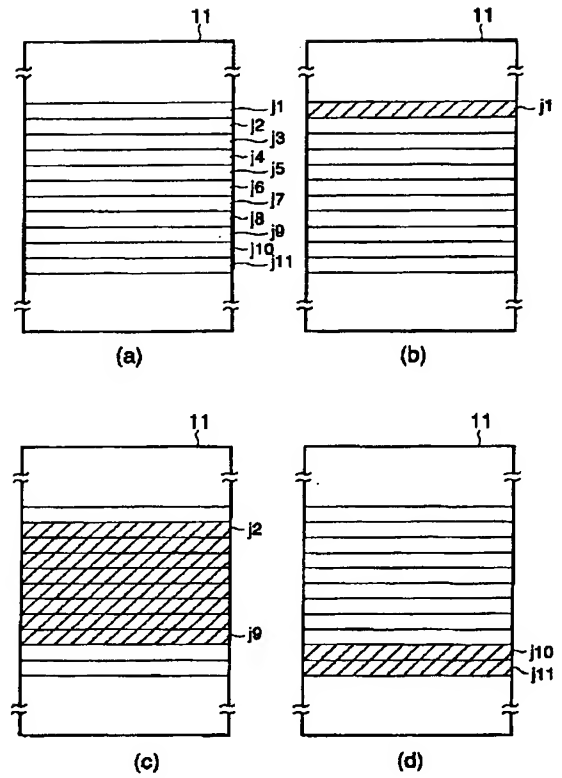
【図 8】



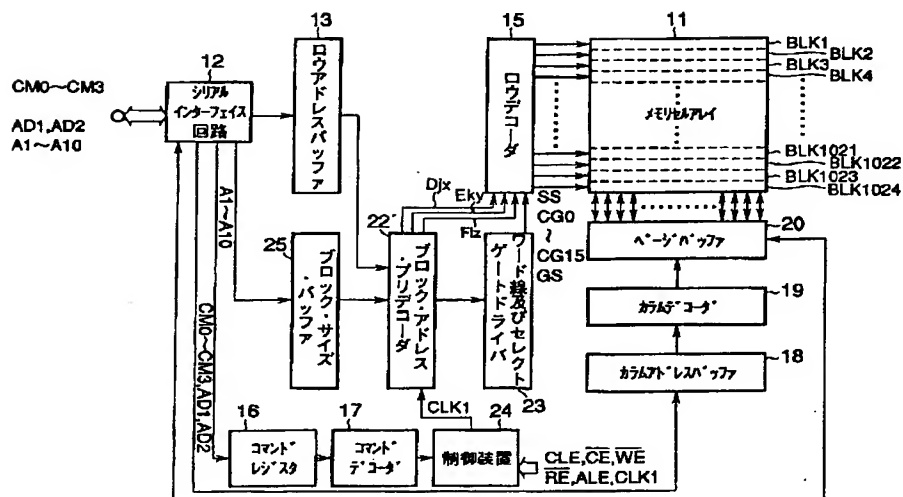
【図 9】



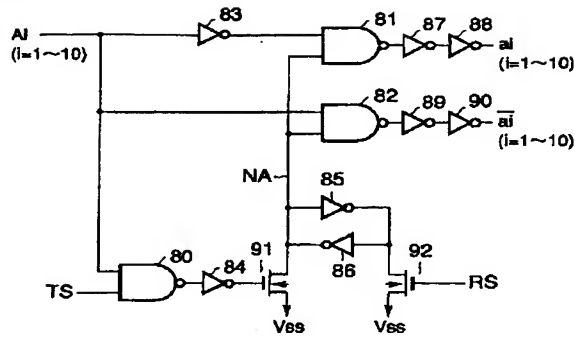
【図 10】



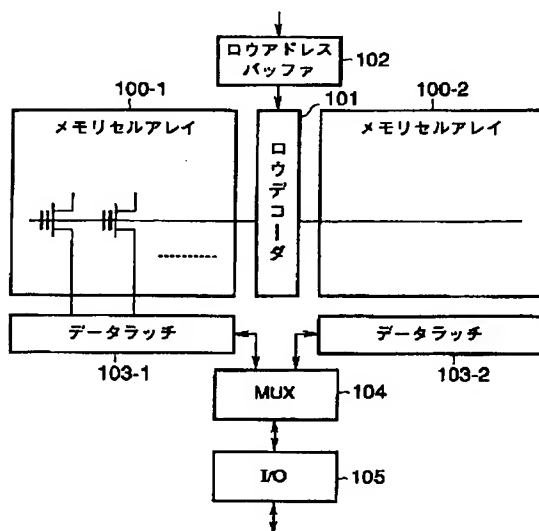
【図 12】



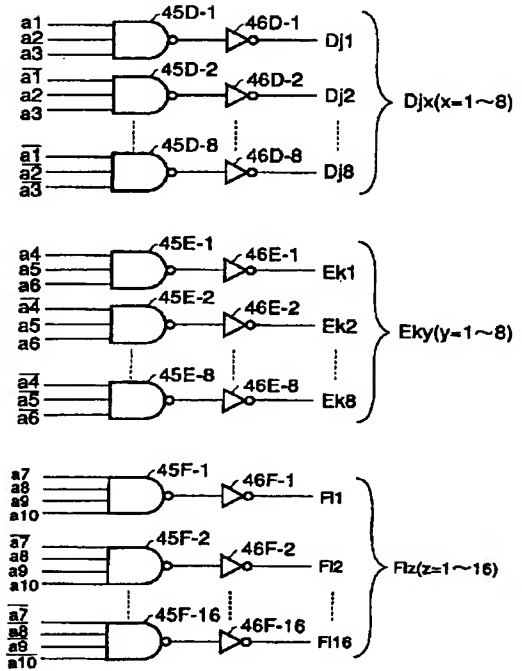
【図 13】



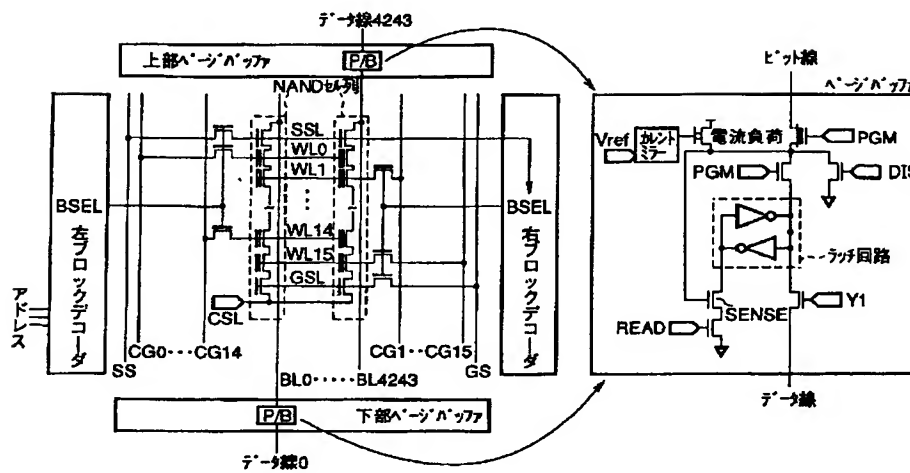
【図 15】



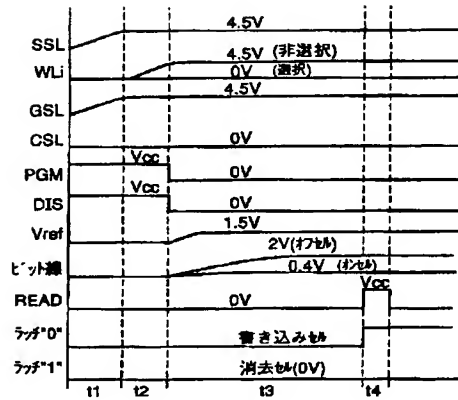
【図 14】



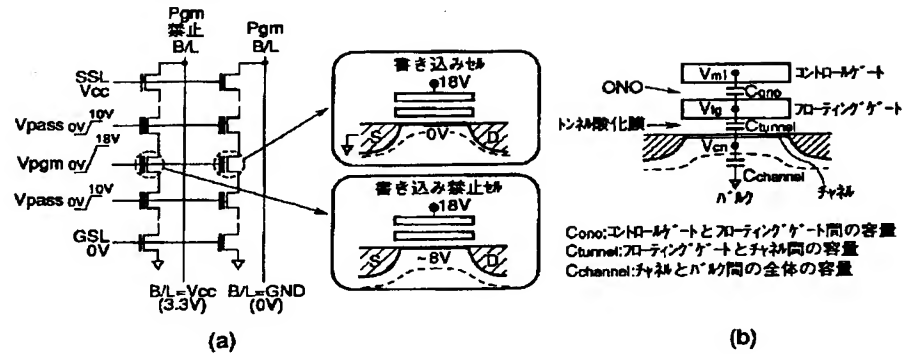
【図 16】



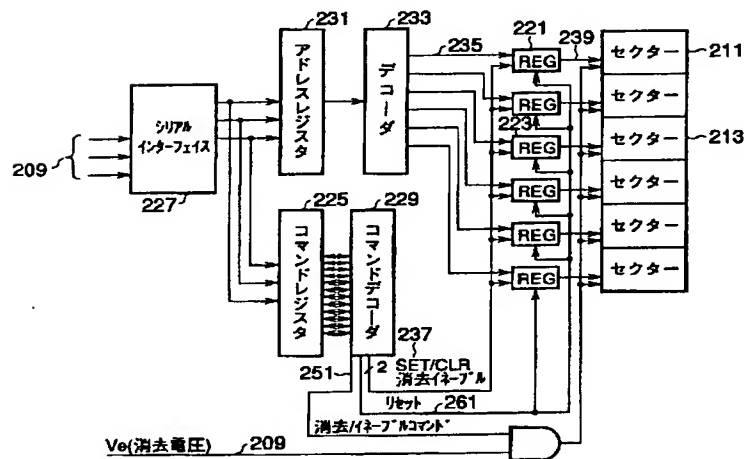
【図18】



【図19】



【図20】



【図 2 1】

